

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Satoshi INOUE

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: PROCESSOR AND SEMICONDUCTOR INTEGRATED CIRCUIT

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of **35 U.S.C. §120**.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of **35 U.S.C. §119(e)**:
Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of **35 U.S.C. §119**, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:


<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-159174	June 4, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
☐ are submitted herewith
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2 0 0 3 年 6 月 4 日

出 願 番 号
Application Number:

特 願 2 0 0 3 - 1 5 9 1 7 4

[ST.10/C]:

[J P 2 0 0 3 - 1 5 9 1 7 4]

出 願 人
Applicant(s):

株式会社東芝

2 0 0 3 年 7 月 1 日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎

出証番号 出証特 2 0 0 3 - 3 0 5 1 8 6 0

【書類名】 特許願

【整理番号】 ACB033063

【提出日】 平成15年 6月 4日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 9/22
G06F 9/360
G06F 13/00
H01L 21/00
H03K 19/00
H01L 27/10

【発明の名称】 プロセッサ及び半導体集積回路

【請求項の数】 30

【発明者】
【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
マイクロエレクトロニクスセンター内

【氏名】 井上 智史

【特許出願人】
【識別番号】 000003078
【氏名又は名称】 株式会社 東芝

【代理人】
【識別番号】 100083806
【弁理士】
【氏名又は名称】 三好 秀和
【電話番号】 03-3504-3075

【選任した代理人】
【識別番号】 100068342
【弁理士】
【氏名又は名称】 三好 保男

【選任した代理人】

【識別番号】 100100712

【弁理士】

【氏名又は名称】 岩▲崎▼ 幸邦

【選任した代理人】

【識別番号】 100100929

【弁理士】

【氏名又は名称】 川又 澄雄

【選任した代理人】

【識別番号】 100108707

【弁理士】

【氏名又は名称】 中村 友之

【選任した代理人】

【識別番号】 100095500

【弁理士】

【氏名又は名称】 伊藤 正和

【選任した代理人】

【識別番号】 100101247

【弁理士】

【氏名又は名称】 高橋 俊一

【選任した代理人】

【識別番号】 100098327

【弁理士】

【氏名又は名称】 高松 俊雄

【手数料の表示】

【予納台帳番号】 001982

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1
【物件名】 要約書 1
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 プロセッサ及び半導体集積回路

【特許請求の範囲】

【請求項 1】 汎用レジスタと命令デコーダと第 2 の実効ユニットとを備えるプロセッサコアと、

前記プロセッサコアに接続される第 1 の実行ユニットを備える拡張部と、

前記プロセッサコアと前記拡張部の双方に接続されるダイレクトメモリアクセスコントローラ

とを備えることを特徴とするプロセッサ。

【請求項 2】 前記プロセッサコアと前記拡張部との間に接続される制御バスを更に備えることを特徴とする請求項 1 記載のプロセッサ。

【請求項 3】 前記命令デコーダからの拡張命令コードを受信して、クロックディセーブル信号を出力するクロックディセーブル信号生成回路を更に備えることを特徴とする請求項 1 又は 2 記載のプロセッサ。

【請求項 4】 前記クロックディセーブル信号を受信して前記プロセッサコアのクロック停止する信号を前記プロセッサコアに伝達するクロックゲーティング回路を更に備えることを特徴とする請求項 3 記載のプロセッサ。

【請求項 5】 前記クロックディセーブル信号は前記プロセッサコアのクロック信号を 停止させることを特徴とする請求項 3 又は請求項 4 に記載のプロセッサ。

【請求項 6】 前記命令デコーダからの拡張命令コードを受信して、停止要求信号を前記プロセッサコアに対して伝達する停止要求信号生成回路を更に備えることを特徴とする請求項 1 又は 2 記載のプロセッサ。

【請求項 7】 前記停止要求信号は前記プロセッサコアのパイプラインを停止させることを特徴とする請求項 6 記載のプロセッサ。

【請求項 8】 前記プロセッサコアは、命令キャッシュを更に備えることを特徴とする請求項 1 又は 2 記載のプロセッサ。

【請求項 9】 前記プロセッサコアは、命令 RAM を更に備えることを特徴とする請求項 1 又は請求項 2 又は請求項 8 記載のプロセッサ。

【請求項 1 0】 前記拡張部は命令デコーダと、制御レジスタと、ローカルメモリとを更に備えることを特徴とする請求項 1 又は 2 記載のプロセッサ。

【請求項 1 1】 前記第 1 の実行ユニットは再構成可能な第 1 の実行ユニットであることを特徴とする請求項 1 又は 2 記載のプロセッサ。

【請求項 1 2】 前記再構成可能な第 1 の実行ユニットは、再構成可能な論理回路から構成されることを特徴とする請求項 1 0 記載のプロセッサ。

【請求項 1 3】 前記拡張部は命令デコーダと、制御レジスタと、ローカルメモリとを更に備えることを特徴とする請求項 1 1 記載のプロセッサ。

【請求項 1 4】 前記拡張部内の前記命令デコーダは、前記再構成可能な第 1 の実行ユニットと同一の前記再構成可能な論理回路で構成されることを特徴とする請求項 1 1 記載のプロセッサ。

【請求項 1 5】 前記再構成可能な論理回路に提供するコンフィグレーション用のデータは、前記拡張部内の前記再生可能な第 1 の実行ユニットと前記ダイレクトメモリアクセスコントローラとの間を接続するコンフィグレーションインタフェースを介して、前記ダイレクトメモリアクセスコントローラからのデータ転送によって提供することを特徴とする請求項 1 2 記載のプロセッサ。

【請求項 1 6】 前記再構成可能な論理回路に提供するコンフィグレーション用のデータを前記拡張部内部の前記ローカルメモリに記憶することを特徴とする請求項 1 3 記載のプロセッサ。

【請求項 1 7】 半導体チップと、

該半導体チップ上に集積化され、汎用レジスタと命令デコーダと第 2 の実効ユニットとを備えるプロセッサコアと、

該半導体チップ上に集積化され、前記プロセッサコアに接続される第 1 の実行ユニットを備える拡張部と、

該半導体チップ上に集積化され、前記プロセッサコアと前記拡張部の双方に接続されるダイレクトメモリアクセスコントローラ

とを備えることを特徴とする半導体集積回路。

【請求項 1 8】 前記半導体チップ上に集積化され、前記プロセッサコアと前記拡張部との間に接続される制御バスを更に備えることを特徴とする請求項 1

7 記載の半導体集積回路。

【請求項 1 9】 前記半導体チップ上に集積化され、前記命令デコーダからの拡張命令コードを受信して、クロックディセーブル信号を出力するクロックディセーブル信号生成回路を更に備えることを特徴とする請求項 1 7 又は請求項 1 8 記載の半導体集積回路。

【請求項 2 0】 前記半導体チップ上に集積化され、前記クロックディセーブル信号を受信して前記プロセッサコアのクロック停止する信号を前記プロセッサコアに伝達するクロックゲーティング回路を更に備えることを特徴とする請求項 1 9 記載の半導体集積回路。

【請求項 2 1】 前記半導体チップ上に集積化され、前記命令デコーダからの拡張命令コードを受信して、停止要求信号を前記プロセッサコアに対して伝達する停止要求信号生成回路を更に備えることを特徴とする請求項 1 7 又は 1 8 記載の半導体集積回路。

【請求項 2 2】 前記プロセッサコアは、命令キャッシュを更に備えることを特徴とする請求項 1 7 又は請求項 1 8 記載の半導体集積回路。

【請求項 2 3】 前記プロセッサコアは、命令 R A M を更に備えることを特徴とする請求項 1 7 又は請求項 1 8 又は請求項 2 2 記載の半導体集積回路。

【請求項 2 4】 前記拡張部は、命令デコーダと、制御レジスタと、ローカルメモリとを更に備えることを特徴とする請求項 1 7 又は請求項 1 8 記載の半導体集積回路。

【請求項 2 5】 前記第 1 の実行ユニットは再構成可能な第 1 の実行ユニットであることを特徴とする請求項 1 7 又は 1 8 記載の半導体集積回路。

【請求項 2 6】 前記再構成可能な第 1 の実行ユニットは、再構成可能な論理回路から構成されることを特徴とする請求項 2 5 記載の半導体集積回路。

【請求項 2 7】 前記拡張部は命令デコーダと、制御レジスタと、ローカルメモリとを更に備えることを特徴とする請求項 2 5 記載の半導体集積回路。

【請求項 2 8】 前記拡張部内の前記命令デコーダは、前記再構成可能な第 1 の実行ユニットと同一の前記再構成可能な論理回路で構成されることを特徴とする請求項 2 5 記載の半導体集積回路。

【請求項 2 9】 前記再構成可能な論理回路に提供するコンフィグレーション用のデータは、前記拡張部内の前記再生可能な第 1 の実行ユニットと前記ダイレクトメモリアクセスコントローラとの間を接続するコンフィグレーションインタフェースを介して、前記ダイレクトメモリアクセスコントローラからのデータ転送によって提供することを特徴とする請求項 2 6 記載の半導体集積回路。

【請求項 3 0】 前記再構成可能な論理回路に提供するコンフィグレーション用のデータを前記拡張部内部の前記ローカルメモリに記憶することを特徴とする請求項 2 7 記載の半導体集積回路。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、プロセッサに関し、特に拡張可能なプロセッサ或いは再構成可能な演算器を有するプロセッサ及び半導体集積回路に関する。

【0 0 0 2】

【従来の技術】

拡張可能なプロセッサコアとは、プロセッサコアの外部にアプリケーションに適した再構成可能な演算回路等の論理回路からなる拡張部を付加し、高性能化を図るプロセッサである（例えば、非特許文献 1）。

【0 0 0 3】

或いはまた、従来、プロセッサコアの外部に、ユーザー設計或いはベンダ提供の拡張回路を接続することにより、プロセッサとしての性能を向上させるカスタムプロセッサがある。外部に接続する回路は、単サイクル用の演算器であったり、複数サイクルにわたる複雑な演算器であったり、コプロセッサであったりする（例えば、非特許文献 2）。

【0 0 0 4】

【非特許文献 1】

ミッシェル・ボルガッティー他，“ダイナミックに拡張可能な埋め込み型マイクロプロセッサ、フィールドプログラマブルゲートアレイ及び顧客用途別可能化入出力装置”、米国電気電子学会 2 0 0 2 年カスタム集積回路国際会議論文集

, 2-3-1, p.13-16 (M.Borgatti et.al., "A Reconfigurable System featuring Dynamically Extensible Embedded Microprocessor, FPGA and Customisable I/O", IEEE 2002 CUSTOM INTEGRATED CIRCUITS CONFERENCE, 2-3-1, p.13-16)

【 0 0 0 5 】

【非特許文献 2】

フランチェスコ・レルトーラ他, “顔相識別用カスタム化プロセッサ”、埋め込み化プロセッサフォーラム、2002年5月1日、(www.MDRonline.com) (F. Lertora, "A Customized Processor for Face Recognition", Embedded Processor Forum, May 1, 2002)

【 0 0 0 6 】

【発明が解決しようとする課題】

拡張可能なプロセッサコアにおいては、拡張部に再構成可能なフィールドプログラマブルゲートアレイ等の論理回路を用いることで、一つの大規模集積回路 (LSI) 上において、複数のアプリケーションを実行させることや、或いはアプリケーション内で拡張部の機能を変更することで効率の良い演算器を構成することができる。しかし、再構成可能な論理回路は、一般的な特定用途向け集積回路 (ASIC) よりも低速である。つまり ASIC のセルを用いるプロセッサコアよりも、拡張部の方が遅いという欠点がある。そのため、プロセッサコアと拡張部とを同期させる必要がある。

【 0 0 0 7 】

また、上記カスタムプロセッサでは、アプリケーションに応じた拡張部を設計して、プロセッサコアに接続することにより、高性能を得ることができるが、アプリケーションごとに拡張部を設計する必要があり、開発期間やコストが大きくなってしまいう問題がある。

【 0 0 0 8 】

本発明の目的は、拡張部に対する命令コードにより、プロセッサコアのクロック若しくはパイプラインを停止させることでプロセッサコアと拡張部との同期をとることができる、拡張可能なプロセッサ或いは再構成可能な演算器を有するプ

ロセッサ及び半導体集積回路を提供することにある。

【 0 0 0 9 】

【課題を解決するための手段】

本発明の第 1 の特徴は、（イ）汎用レジスタと命令デコーダと第 2 の実効ユニットとを備えるプロセッサコアと、（ロ）プロセッサコアに接続される第 1 の実行ユニットを備える拡張部と、（ハ）プロセッサコアと拡張部の双方に接続されるダイレクトメモリアクセスコントローラとを備える拡張可能なプロセッサであることを要旨とする。

【 0 0 1 0 】

本発明の第 2 の特徴は、（イ）半導体チップと、（ロ）半導体チップ上に集積化され、汎用レジスタと命令デコーダと第 2 の実効ユニットとを備えるプロセッサコアと、（ハ）半導体チップ上に集積化され、プロセッサコアに接続された第 1 の実行ユニットを備える拡張部と、（ニ）半導体チップ上に集積化され、プロセッサコアと拡張部の双方に接続されるダイレクトメモリアクセスコントローラとを備える半導体集積回路であることを要旨とする。

【 0 0 1 1 】

【発明の実施の形態】

次に、図面を参照して、本発明の実施の形態を説明する。以下の図面において、同一又は類似の部分には同一又は類似の符号を付している。又、以下に示す実施の形態は、この発明の技術思想を具体化するための装置や方法を例示するものであって、この発明の技術思想を下記のものに特定するものではない。この発明の技術思想は、特許請求の範囲において、種々の変更を加えることができる。

【 0 0 1 2 】

（比較例 1）

本発明の比較例としての拡張可能なプロセッサは、図 1 1 に示すように、プロセッサコア 1 0 と拡張部 3 2 とから構成される。プロセッサコア 1 0 と拡張部 3 2 間には共通のクロック C L K が与えられる。更にプロセッサコア 1 0 と拡張部 3 2 間にはソースデータ 1 を転送するソースデータライン S D 1 L、ソースデータ 2 を転送するソースデータライン S D 2 L、命令コード I C O D を転送する命

令コード転送ライン、演算結果A L Rを転送する演算結果転送ラインが配置されている。更に拡張部32に対しては、コンフィグレーションインタフェースラインCON I / Fが接続されている。

【0013】

プロセッサコア10は、命令キャッシュ12と、命令RAM14と、汎用レジスタ16と、命令デコーダ18と、第2の実行ユニット20と、データキャッシュ26と、データRAM28とから構成されている。また、拡張部32には第1の実行ユニット36が含まれている。命令キャッシュ12と命令RAM14は汎用レジスタ16及び命令デコーダ18に接続されている。命令デコーダ18は、更に第2の実行ユニット20及び第1の実行ユニット36に接続されている。汎用レジスタ（G P R）16は第2の実行ユニット20に対して、ソースデータ1及びソースデータ2を転送すると共に、ソースデータ1を転送するソースデータラインSD1L、ソースデータ2を転送するソースデータラインSD2Lを介して、第1の実行ユニット36に接続されている。第2の実行ユニット20には算術論理演算装置（A L U）22及びシフトレジスタ24が含まれており、更に第2の実行ユニット20からはデータキャッシュ26及びデータRAM28に対してバスラインが延長している。更にまた、第1の実行ユニット36からの演算結果A L Rを転送するラインは、第2の実行ユニット20の出力ライン、データキャッシュ26及びデータRAM28の出力ラインに共通に接続されている。更にこの共通に接続された出力ラインは汎用レジスタ16にフィードバックされている。

【0014】

上記プロセッサコア10は拡張可能なプロセッサコアである。プロセッサコア10の外部にアプリケーションに適した演算回路などの拡張部32を付加し、高性能化を図るものである。この拡張部32にフィールドプログラマブルゲートアレイ（F P G A）などからなる再構成可能な論理回路を用いることで、ひとつのL S Iで複数のアプリケーションに対応させることや、あるいはアプリケーション内で拡張部32の機能を変更することで効率のよい演算器とすることができる。

【 0 0 1 5 】

本発明の実施の形態に係る「拡張可能なプロセッサ」とは、プロセッサコアの外部に拡張部を備えるプロセッサである。その一例として、拡張部が「再構成可能な」論理回路等の演算器の構成を有する場合には、再構成可能な演算器を有するプロセッサも本発明の実施の形態に係る「拡張可能なプロセッサ」に含まれるものとする。本発明の第 1 の実施の形態においては、基本構成の説明と共に、プロセッサコアのクロックを停止させる動作モードに特徴を有する拡張可能なプロセッサについて説明する。本発明の第 2 の実施の形態においては、プロセッサコアのパイプラインを停止させる動作モードに特徴を有する拡張可能なプロセッサについて説明する。本発明の第 3 及び第 4 の実施の形態においては、拡張部において再構成可能な論理回路を有する拡張可能なプロセッサについて説明する。

【 0 0 1 6 】

(第 1 の実施の形態)

まず、本発明の実施の形態に係る拡張可能なプロセッサの基本構成について説明し、次に実施の形態の構成について説明する。

【 0 0 1 7 】

(基本構成)

本発明の第 1 の実施の形態に係る拡張可能なプロセッサの基本構成は、図 1 に示すように、プロセッサコア 1 0 と、ダイレクトメモリアクセスコントローラ (DMAC) 3 0 と、拡張部 3 2 と、バスブリッジ 5 4 と、グローバルバス G B と制御バス C B から構成される。プロセッサコア 1 0 と拡張部 3 2 間には拡張演算インタフェースライン E A L I / F が与えられる。更にプロセッサコア 1 0 と拡張部 3 2 間にはソースデータ 1 を転送するソースデータライン S D 1 L、ソースデータ 2 を転送するソースデータライン S D 2 L、拡張命令コード E I C を転送するライン、制御信号 C S を転送するライン、演算結果 A L R を転送するラインが配置されている。更にプロセッサコア 1 0 と拡張部 3 2 との間には、制御バス C B が接続されている。また拡張部 3 2 と DMAC 3 0 との間には、ローカルデータバス L D B が接続されている。またプロセッサコア 1 0 とバスブリッジ 5 4 との間にはプロセッサバスインタフェースライン P B I / F が接続されている。

更に、バスブリッジ 5 4 に対しては、グローバルバス G B が接続されている。

【 0 0 1 8 】

プロセッサコア 1 0 は、命令キャッシュ 1 2 と、命令 R A M 1 4 と、汎用レジスタ 1 6 と、命令デコーダ 1 8 と、第 2 の実行ユニット 2 0 と、データキャッシュ 2 6 と、データ R A M 2 8 とから構成されている。また、拡張部 3 2 は、命令デコーダ 3 4 と、第 1 の実行ユニット 3 6 と、制御レジスタ 3 8 と、ローカルメモリ 4 0 とから構成されている。命令キャッシュ 1 2 と命令 R A M 1 4 は汎用レジスタ 1 6 及び命令デコーダ 1 8 に接続されている。命令デコーダ 1 8 は、更に第 2 の実行ユニット 2 0 及び命令デコーダ 3 4 に接続されている。汎用レジスタ 1 6 は第 2 の実行ユニット 2 0 に対して、ソースデータ 1 及びソースデータ 2 を転送すると共に、ソースデータライン S D 1 L、ソースデータライン S D 2 L を介して、第 1 の実行ユニット 3 6 に接続されている。第 2 の実行ユニット 2 0 には A L U 2 2 及びシフトレジスタ 2 4 が含まれており、更に第 2 の実行ユニット 2 0 からはデータキャッシュ 2 6 及びデータ R A M 2 8 に対してバスラインが延長している。更にまた、演算結果 A L R を転送するラインは、第 2 の実行ユニット 2 0 の出力ライン、データキャッシュ 2 6 及びデータ R A M 2 8 の出力ラインに共通に接続されている。更にこの共通に接続された出力ラインは汎用レジスタ 1 6 にフィードバックされている。更に、第 1 の実行ユニット 3 6 とデータ R A M 2 8 との間にはデータ R A M インタフェースライン D R I / F が接続されている。更に、D M A C 3 0 とデータ R A M 2 8 との間にもローカルデータバス L D B が接続されている。

【 0 0 1 9 】

拡張部 3 2 においては、命令デコーダ 3 4 からの信号は第 1 の実行ユニット 3 6 に転送され、また第 1 の実行ユニット 3 6 と制御レジスタ 3 8 及びローカルメモリ 4 0 との間において相互に信号が転送されて連絡している。制御レジスタ 3 8 は制御バス C B を介してプロセッサコア 1 0 と連絡している。

【 0 0 2 0 】

図 1 に示すブロック構成図の全体が、システムオンチップ（S o C）構成の半導体集積回路を構成しており、同時に一機能ブロックとして、「カスタムプロセ

ッサ」と呼ばれるプロセッサを構成している。ここでグローバルバスGBがいわゆるオンチップバスであり、SOC内の各ブロックを結んでいる。以下に各部の機能を説明する。

【0021】

第1の実行ユニット36はプロセッサコア10からデータ受け取り演算を行い、演算結果ALRをプロセッサコア10に返す。拡張部32は制御レジスタ38を備える。制御レジスタ38に記憶されるデータは、プロセッサコア10から制御バスCBを介して、読み出され、或いは書き込まれる。拡張部32はローカルメモリ40を備え、第1の実行ユニット36がこのローカルメモリ40のデータを使って演算を行ない、或いは、実行結果をこのローカルメモリ40に書き込む。また、第1の実行ユニット36から、プロセッサコア10内部のメモリを構成するデータRAM28にアクセスしてもよい。

【0022】

DMAC30はカスタムプロセッサ内部のメモリ(例えば、プロセッサコア10内のデータRAM28)とカスタムプロセッサ外部との間のデータ転送や、カスタムプロセッサ内部同士のデータ転送を行う。拡張部32がローカルメモリ40を内蔵することもあり、そのローカルメモリ40もDMAC30によるデータ転送対象になり得る。

【0023】

拡張部32の第1の実行ユニット36は、プロセッサコア10内部のデータRAM28を使用することにより高性能を実現することができる。また、拡張部32自身が持つローカルメモリ40を使用する場合には最適なメモリ構成をとることができるため、さらに高性能を得ることができる。

【0024】

なお、図1の例で示している、拡張部32内部の制御レジスタ38、拡張部32内部のローカルメモリ40、プロセッサコア10内部のデータRAM28は必ずしも必要ない。

【0025】

プロセッサコア10は、上記機能ブロックの中心となるプロセッサであって、

拡張部 3 2 のための拡張演算インタフェースライン E A L I / F を備えている。

【 0 0 2 6 】

拡張部 3 2 は、プロセッサコア 1 0 からの指示或いは命令で演算を行う。プロセッサコア 1 0 から送られた拡張命令コード E I C は、命令デコーダ 3 4 において解釈される。第 1 の実行ユニット 3 6 においては、演算を行う。ローカルメモリ 4 0 は、第 1 の実行ユニット 3 6 における演算の入力或いは出力用として機能する。制御レジスタ 3 8 は、拡張部 3 2 の動作を制御バス C B から行うためのレジスタとして機能する。

【 0 0 2 7 】

D M A C 3 0 は、上記機能ブロック内のデータ転送や、機能ブロック内と機能ブロック外との間のデータ転送を行う。転送情報の設定等はプロセッサコア 1 0 から制御バス C B を介して行われる。

【 0 0 2 8 】

バスブリッジ 5 4 は、上記機能ブロック内部と外部(グローバルバス G B)とを接続する。

【 0 0 2 9 】

制御バス C B は、拡張部 3 2 や D M A C 3 0 内の制御レジスタ 3 8 への書き込みや、制御レジスタ 3 8 からの読み出しを行うためのバス配線である。

【 0 0 3 0 】

拡張演算インタフェースライン E A L I / F は、プロセッサコア 1 0 と拡張部 3 2 とが協調して動作するためのインタフェースを構成する。拡張演算インタフェースライン E A L I / F には、上述の通り、プロセッサコア 1 0 が拡張部 3 2 に対して命令コードを送る拡張命令コード E I C、プロセッサコア 1 0 内の汎用レジスタ 1 6 の値を拡張部 3 2 に送るソースデータ 1 及びソースデータ 2、拡張部 3 2 が演算結果をプロセッサコア 1 0 に送る演算結果 A L R、及びその他の制御信号 C S が含まれている。制御信号 C S には、拡張部 3 2 に対する命令が有効であることを示す「有効信号」、あるいは逆に実行を無効化する「無効化信号」等が含まれている。

【 0 0 3 1 】

ローカルデータバス LDB は、上述の通り、DMAC 30 とローカルメモリ 40 との間、及び DMAC 30 とデータ RAM 28 との間に配置されて、上記機能ブロック内部のデータバスとして機能する。

【0032】

データ RAM インタフェースライン DRI/F は、拡張部 32 内部の第 1 の実行ユニット 36 から、プロセッサコア 10 内部のデータ RAM 28 にアクセスするためのインタフェースであって、具体的には、データの読み出し及び書き込み機能を有する。

【0033】

プロセッサバスインタフェースライン PBI/F は、プロセッサコア 10 がグローバルバス GB にアクセスためのインタフェースとして機能する。

【0034】

本発明の第 1 の実施の形態に係る拡張可能なプロセッサは、図 2 に示すように、図 1 に示す基本構成において、プロセッサコア 10 と拡張部 32 との間に更に、プロセッサコア 10 に対するクロック CLK を停止させるためのクロックディセーブル信号生成回路 42 とクロックゲーティング回路 44 を備える点に特徴を有する。クロックディセーブル信号生成回路 42 に対しては命令デコーダ 18 からの分岐された拡張命令コード EIC が与えられている。クロックゲーティング回路 44 は AND ゲート 48 とラッチ 46 とから構成されている。クロック CLK は拡張部 32 とクロックディセーブル信号生成回路 42 とクロックゲーティング回路 44 に対して共通に与えられている。クロックディセーブル信号生成回路 42 の出力はクロックゲーティング回路 44 内のラッチ 46 に転送され、AND ゲート 48 の出力はプロセッサコア 10 に与えられている。

【0035】

図 2 においては、拡張部 32 に対する拡張命令コード EIC は命令デコーダ 18 から出力されているが、命令デコーダ 18 の手前から分岐する構成を有していても良い。その場合は、命令デコーダ 18 から図 2 に示すように拡張命令有効信号 EIVS が拡張部 32 に対して出力される。尚、命令デコーダ 18 より出力される拡張命令コード EIC を使用する場合も、拡張命令有効信号 EIVS が拡張

部 3 2 に対して入力されている方が実施形態としては通常の構成である。

【 0 0 3 6 】

又、拡張部 3 2 に対するクロック C L K E は、図 2 に示すように、クロック C L K と拡張命令有効信号 E I V S との A N D ゲート 5 7 の出力信号として得ることができる。尚、図 2 において、プロセッサコア 1 0 の内部構成及び拡張部 3 2 の内部構成については、図 1 に示した基本構成と同様であるため詳細な説明は省略する。また、図 2 に示す拡張部 3 2 の内部構成については第 1 の実行ユニット 3 6 が表示され、図 1 の拡張部 3 2 内に含まれる制御レジスタ 3 8 及びローカルメモリ 4 0 については表示が省略されている。また、制御レジスタ 3 8 及びローカルメモリ 4 0 については、拡張部 3 2 の外部に配置しても良い。

【 0 0 3 7 】

また、プロセッサコア 1 0 と拡張部 3 2 との間を接続するバス配線等についても、図 1 に示した基本構成と同様であるため詳細な説明は省略する。

【 0 0 3 8 】

本発明の第 1 の実施の形態に係る拡張可能なプロセッサの特徴は、図 2 に示すように、拡張部 3 2 に対する拡張命令コード E I C によりプロセッサコア 1 0 を停止させることでプロセッサコア 1 0 と拡張部 3 2 との同期をとる点にある。例えば、拡張部 3 2 を再構成可能な論理回路を含む構成によって、形成する場合、再構成可能な論理回路が低速であるため、拡張部 3 2 ではひとつの演算を行うために複数クロックを使うことになる。このときプロセッサコア 1 0 のパイプラインは拡張部 3 2 の演算が終了するまで停止(ストール)する必要がある。

【 0 0 3 9 】

本発明の第 1 の実施の形態に係る拡張可能なプロセッサにおいては、拡張部 3 2 に対する拡張命令コード E I C の一部に停止サイクル数を示すフィールドを設け、その値によってプロセッサコア 1 0 を停止させる。プロセッサコア 1 0 を停止させるために、プロセッサコア 1 0 に供給するクロック C L K C を停止する。

【 0 0 4 0 】

プロセッサコア 1 0 のクロック C L K C を停止させるクロックディセーブル信号 C D S を生成するクロックディセーブル信号生成回路 4 2 は、図 3 に示すよう

に、停止サイクル数 S C Y N が入力される O R ゲート 5 0 と、O R ゲート 5 0 の出力を一方の入力とする 2 段から構成された O R ゲート 5 0 1, 5 0 2 と、O R ゲート 5 0 の出力を 1 段目に接続され、2 段のカスケード接続構成からなるフリップフロップ回路 5 2 1, 5 2 2 と、O R ゲート 5 0 の出力及び 2 段から構成された O R ゲート 5 0 1, 5 0 2 の各出力を入力とするマルチプレクサ (M U X) 5 3 と、マルチプレクサ 5 3 の出力と拡張命令有効信号 E I V S とを入力信号とし、クロックディセーブル信号 C D S を出力する A N D ゲート 5 5 から構成されている。又図 2 から明らかなように、また、クロック C L K は、2 段のカスケード接続構成からなるフリップフロップ回路 5 2 1, 5 2 2 の一方の入力信号となっている。O R ゲート 5 0 1, 5 0 2 の他方の入力は各 2 段のカスケード接続構成からなるフリップフロップ回路 5 2 1, 5 2 2 の出力に接続されている。また、M U X 5 3 に対しては停止サイクル数 S C Y N がゲート信号として与えられている。

【 0 0 4 1 】

例えば、停止サイクル数 S C Y N を示すフィールドが 2 ビットで構成され、その値が直接、停止サイクル数 S C Y N を示すこととすると、“0 0”は「停止せず」、「0 1」は「1 サイクル停止」、「1 0」は「2 サイクル停止」、「1 1」は「3 サイクル停止」となる。この回路により生成された信号(クロックディセーブル信号)をクロックゲーティング回路に与えることで、所望の期間クロックを停止させることができる。クロックが停止することで消費電力が低下するという利点もある。

【 0 0 4 2 】

本発明の第 1 の実施の形態に係る拡張可能なプロセッサでは、拡張命令コード E I C からのみ、停止サイクル数 S C Y N を得ているが、その他の入力信号を用いることもできる。例えば、拡張部 3 2 を再構成した際に基本停止サイクル数を定義し、その値を拡張部 3 2 からクロックディセーブル信号生成回路 4 2 に与えることで、停止サイクル数 S C Y N が決定するという方法である。基本停止サイクル数が 2 であれば、拡張命令コード E I C 中の停止サイクル数 S C Y N フィールドが“0 0”のときには 2 サイクル間停止することになる。

【 0 0 4 3 】

また、本発明の第 1 の実施の形態に係る拡張可能なプロセッサでは、クロックディセーブル信号生成回路 4 2 をプロセッサコア 1 0 の外部でかつ拡張部 3 2 の外部に配置しているが、クロックディセーブル信号生成回路 4 2 をプロセッサコア 1 0 の内部に配置してもよく、或いはまた、拡張部 3 2 の内部に配置しても実現可能である。

【 0 0 4 4 】

本発明の第 1 の実施の形態に係る拡張可能なプロセッサにおけるクロックディセーブル信号生成回路 4 2 は、プロセッサコア 1 0 のクロック C L K C と拡張部 3 2 のクロック C L K E とが同一位相・同一周波数の場合の回路を想定しているが、拡張部 3 2 のクロック C L K E がプロセッサコア 1 0 のクロック C L K C を分周したものである場合においても、クロック C L K の位相を考慮した回路として構成することができる。

【 0 0 4 5 】

(動作モード)

本発明の第 1 の実施の形態に係る拡張可能なプロセッサにおいて、拡張部 3 2 の命令もプロセッサコア 1 0 と同じクロック数で動作する場合において、クロック C L K に対して、プロセッサコア 1 0 と拡張部 3 2 の命令は、図 4 に示すように、構成される。プロセッサコア 1 0 のパイプラインは元々は、例えば、命令フェッチ(F)、命令デコード(D)、実行(E)、メモリアクセス(M)、ライトバック(W)の 5 つのステージから構成されていて、それぞれのステージに 1 クロックずつかかり、オーバーラップして動作する。拡張部 3 2 の命令もプロセッサコア 1 0 と同じクロック数で動作する場合、図 4 に示すように、クロック C L K に対して、プロセッサコア 1 0 の命令 1 は I N S 1 C、拡張部 3 2 の命令 2 は I N S 2 E、プロセッサコア 1 0 の命令 3 は I N S 3 C に示すようにそれぞれ表される。

【 0 0 4 6 】

これに対して、本発明の第 1 の実施の形態に係る拡張可能なプロセッサにおいて、プロセッサコア 1 0 のクロック C L K C を止める場合の、プロセッサコア 1 0 と拡張部 3 2 の命令は、図 5 に示すように構成される。拡張部 3 2 の演算に 4

クロックかかるとすると、3クロックの間、プロセッサコア10を停止させることになる。このため、図5に示すように、プロセッサコア10のクロックCLKC及び拡張部32のクロックCLKEに対して、プロセッサコア10の命令1はINS1C、拡張部32の命令2はINS2E、プロセッサコア10の命令3はINS3Cに示すようにそれぞれ表される。つまり、拡張部32のINS2EのEステージが終わるまで先行するINS1CのMステージの動作も停止する。同様に、拡張部32のINS2EのEステージが終わるまで先行するINS3CのDステージの動作も停止する。

【0047】

本発明の第1の実施の形態に係る拡張可能なプロセッサによれば、プロセッサコア10と、拡張部32とを同期させることができ、速度の遅い論理回路を簡単に使用できるようになる。

【0048】

(第2の実施の形態)

本発明の第2の実施の形態に係る拡張可能なプロセッサは、図6に示すように、図1に示す基本構成において、プロセッサコア10と拡張部32との間に更に、停止要求信号生成回路56を備える点に特徴を有する。停止要求信号生成回路56に対しては命令デコーダ18からの分岐された拡張命令コードEICが与えられている。停止要求信号生成回路56の出力は、プロセッサコア10に与えられている。尚、プロセッサコア10の内部構成及び拡張部32の内部構成については、図1に示した基本構成と実質的に同様であるため詳細な説明は省略する。また、図6に示す拡張部32の内部構成については第1の実行ユニット36が表示され、図1の拡張部32内に含まれる制御レジスタ38及びローカルメモリ40については表示されていない。この点は、表示が省略されている。また、制御レジスタ38及びローカルメモリ40については、拡張部32の外部に配置しても良い。

【0049】

また、プロセッサコア10と拡張部32との間を接続するバス配線等についても、図1に示した基本構成と同様であるため詳細な説明は省略する

本発明の第2の実施の形態に係る拡張可能なプロセッサは、図6に示すように、図1に示す基本構成において、プロセッサコア10と拡張部32との間に更に、停止要求信号生成回路56を備えることから、プロセッサコア10のクロックCLKCを止めるのではなくて、プロセッサコア10のパイプラインを止める点に特徴を有する。

【0050】

図6においては、拡張部32に対する拡張命令コードEICは命令デコーダ18から出力されているが、命令デコーダ18の手前から分岐する構成を有していても良いことは図2に示す第1の実施の形態と同様である。その場合は、命令デコーダ18から図6に示すように拡張命令有効信号EIVSが拡張部32に対して出力される。尚、命令デコーダ18より出力される拡張命令コードEICを使用する場合も、拡張命令有効信号EIVSが拡張部32に対して入力されている方が実施形態としては通常の構成である。

【0051】

又、拡張部32に対するクロックCLKEは、図6に示すように、クロックCLKと拡張命令有効信号EIVSとのANDゲート57の出力信号として得ることができるとも図2に示す第1の実施の形態と同様である。

【0052】

(動作モード)

前述の如く、プロセッサコア10のパイプラインは元々は、例えば、命令フェッチ(F)、命令デコード(D)、実行(E)、メモリアクセス(M)、ライトバック(W)の5つのステージから構成されていて、それぞれのステージに1クロックずつかかり、オーバーラップして動作する。拡張部32の命令もプロセッサコア10と同じクロック数で動作する場合、図4に示すように、クロックCLKに対して、プロセッサコア10の命令1はINS1C、拡張部32の命令2はINS2E、プロセッサコア10の命令3はINS3Cに示すようにそれぞれ表される。

【0053】

これに対して、本発明の第2の実施の形態に係る拡張可能なプロセッサにおいて、プロセッサコア10のパイプラインを止める場合の、プロセッサコア10と

拡張部 3 2 の命令は、図 7 に示すように構成される。

【 0 0 5 4 】

即ち、クロック CLK を受信した停止要求信号生成回路 5 6 から発生する停止要求信号 SRS がプロセッサコア 1 0 に伝達されると、プロセッサコア 1 0 の命令 1 は INS 1 C、拡張部 3 2 の命令 2 は INS 2 E、プロセッサコア 1 0 の命令 3 は INS 3 C に示すようにそれぞれ表される。クロック CLK に対して、停止要求信号 SRS が存在する場合には、図 7 に示すように、クロック CLK と異なり、対象とする部分だけを停止させることが容易であるため、先行するプロセッサコア 1 0 の命令 1 を止める必要はなく、この先行するプロセッサコア 1 0 の命令 1 は先に W ステージまで処理をすませることができる。これに対して、後続するプロセッサコア 1 0 の命令 3 は、図 5 に示したプロセッサコアのクロックを停止する動作モードと同様に、D ステージにおいて停止され、拡張部 3 2 の命令 2 の E ステージの終了を待って、E ステージが実行される。

【 0 0 5 5 】

(停止要求生成回路)

本発明の第 2 の実施の形態に係る拡張可能なプロセッサにおける停止要求信号生成回路 5 6 の構成は、図 3 に示すクロックディセーブル信号生成回路 4 2 と実質的に同様の回路として構成することができる。また、本発明の第 2 の実施の形態に係る拡張可能なプロセッサにおける停止要求信号生成回路 5 6 は、プロセッサコア 1 0 のクロック CLK と拡張部 3 2 のクロック CLK とが同一位相・同一周波数の場合の回路を想定しているが、拡張部 3 2 のクロック CLKE がプロセッサコア 1 0 のクロック CLK を分周したものである場合においても、クロック CLK の位相を考慮した回路として構成することができ、充分に対応可能である。

【 0 0 5 6 】

(第 2 の実施の形態の変形例)

本発明の第 2 の実施の形態の変形例に係る拡張可能なプロセッサは、図 6 中に示す停止要求信号生成回路 5 6 を再構成可能な論理回路により構成する点に特徴を有する。停止要求信号生成回路 5 6 を再構成可能な論理回路で構成することに

より、命令コードのOP部をデコードすることで停止サイクル数SCYNを容易に得ることができる。即ち、わざわざ停止サイクル数SCYN用のフィールドを命令コードに持たせる必要がなくなり、ビットパターンの有効活用ができる。

【0057】

なお、停止サイクル数SCYN用フィールドを持った命令コードとは図8に示すような構成を有する。拡張部32の命令長が16ビットで、その内、プロセッサコア10の汎用レジスタ番号GPRN用に4ビット(16本分)×2、停止サイクル数SCYN用に2ビットを使うと、OPコードに使えるのは6ビットとなり、命令の種類は最大でも64個である。図8において、GPRN S1とはソース1の汎用レジスタ番号を示し、GPRN S2とはソース2の汎用レジスタ番号を示す。実際には即値を使う命令等があるため、更に種類は少なくなる。ここで、停止サイクル数SCYN用の2ビットが不要となると、OPコードには8ビット使えることになり、最大256個の命令を定義できることになる。

【0058】

また、本発明の第1の実施の形態に係る拡張可能なプロセッサでは、プロセッサコア10のクロックCLKCを停止することでプロセッサコア10を停止させる方法を示したが、同じクロックディセーブル信号CDSをパイプラインのストールを要求する信号として利用することで、本発明の第2の実施の形態に係る拡張可能なプロセッサと同様に、プロセッサコア10のパイプラインを停止させることも可能である。

【0059】

(第3の実施の形態)

本発明の第3の実施の形態に係る拡張可能なプロセッサの基本構成は、図9に示すように、プロセッサコア10と、DMAC30と、拡張部32とから構成される。プロセッサコア10と拡張部32間には拡張演算インタフェースラインEAL I/Fが与えられる。更にプロセッサコア10と拡張部32間にはソースデータ1を転送するソースデータラインSD1L、ソースデータ2を転送するソースデータラインSD2L、拡張命令コードEICを転送するライン、制御信号CSを転送するライン、演算結果ALRを転送するラインが配置されている。更に

プロセッサコア 1 0 と拡張部 3 2 との間には、制御バス C B が接続されている。
また拡張部 3 2 と D M A C 3 0 との間には、ローカルデータバス L D B が接続されている。またプロセッサコア 1 0 にはプロセッサバスインタフェースライン P B I / F が接続されている。

【 0 0 6 0 】

プロセッサコア 1 0 は、命令キャッシュ 1 2 と、命令 R A M 1 4 と、汎用レジスタ 1 6 と、命令デコーダ 1 8 と、第 2 の実行ユニット 2 0 と、データキャッシュ 2 6 と、データ R A M 2 8 とから構成されている。また、拡張部 3 2 は、命令デコーダ 3 4 と、再構成可能な第 1 の実行ユニット 3 7 と、制御レジスタ 3 8 と、ローカルメモリ 4 0 とから構成されている。命令キャッシュ 1 2 と命令 R A M 1 4 は汎用レジスタ 1 6 及び命令デコーダ 1 8 に接続されている。命令デコーダ 1 8 は、更に第 2 の実行ユニット 2 0 及び命令デコーダ 3 4 に接続されている。汎用レジスタ 1 6 は第 2 の実行ユニット 2 0 に対して、ソースデータ 1 及びソースデータ 2 を転送すると共に、ソースデータ 1 を転送するソースデータライン S D 1 L、ソースデータ 2 を転送するソースデータライン S D 2 L を介して、再構成可能な第 1 の実行ユニット 3 7 に接続されている。第 2 の実行ユニット 2 0 には A L U 2 2 及びシフトレジスタ 2 4 が含まれており、更に第 2 の実行ユニット 2 0 からはデータキャッシュ 2 6 及びデータ R A M 2 8 に対してバスラインが延長している。更にまた、再構成可能な第 1 の実行ユニット 3 7 からの演算結果 A L R を転送するラインは、第 2 の実行ユニット 2 0 の出力ライン、データキャッシュ 2 6 及びデータ R A M 2 8 の出力ラインに共通に接続されている。更にこの共通に接続された出力ラインは汎用レジスタ 1 6 にフィードバックされている。更に、再構成可能な第 1 の実行ユニット 3 7 とデータ R A M 2 8 との間にはデータ R A M インタフェースライン D R I / F が接続されている。更に、D M A C 3 0 とデータ R A M 2 8 との間にはローカルデータバス L D B が接続されている。更に、D M A C 3 0 と再構成可能な第 1 の実行ユニット 3 7 との間にはコンフィグレーションインタフェースライン C O N I / F が接続されている。拡張部 3 2 においては、命令デコーダ 3 4 からの信号は再構成可能な第 1 の実行ユニット 3 7 に転送され、また再構成可能な第 1 の実行ユニット 3 7 と制御レジスタ 3 8 及

びローカルメモリ40との間において相互に信号が転送されて連絡している。制御レジスタ38は制御バスCBを介してプロセッサコア10と連絡している。上記拡張演算インタフェースラインEAL I/Fの中には、拡張命令コードEIC、ソースデータ1ラインSD1L、ソースデータ2ラインSD2L、制御信号CS、演算結果ALRが含まれている。

【0061】

図9に示すブロック構成図の全体が、システムオンチップ（SOC）構成の半導体集積回路を構成しており、同時に一機能ブロックとして、「カスタムプロセッサ」と呼ばれるプロセッサを構成している。ここでグローバルバスGB（図9上では省略）がいわゆるオンチップバスであり、SOC内の各ブロックを結んでいる。以下に各部の機能を説明する。

【0062】

プロセッサコア10は、上記機能ブロックの中心となるプロセッサであって、拡張部32のための拡張演算インタフェースラインEAL I/Fを備えている。

【0063】

拡張部32は、プロセッサコア10からの指示或いは命令で演算を行う。プロセッサコア10から送られた拡張命令コードEICは、命令デコーダ34において解釈する。再構成可能な第1の実行ユニット37においては、演算を行う。ローカルメモリ40は、再構成可能な第1の実行ユニット37における演算の入力或いは出力用として機能する。制御レジスタ38は、拡張部32の動作を制御バスCBから行うためのレジスタとして機能する。

【0064】

拡張演算インタフェースラインEAL I/Fは、プロセッサコア10と拡張部32とが協調して動作するためのインタフェースを構成する。拡張演算インタフェースラインEAL I/Fには、上述の通り、プロセッサコア10が拡張部32に対して命令コードを送る拡張命令コードEIC、プロセッサコア10内の汎用レジスタ16の値を拡張部32に送るソースデータ1及びソースデータ2、拡張部32が演算結果をプロセッサコア10に送る演算結果ALR、及びその他の制御信号CSが含まれている。制御信号CSには、拡張部32に対する命令が有効

であることを示す「有効信号」、あるいは逆に実行を無効化する「無効化信号」等が含まれている。

【 0 0 6 5 】

ローカルデータバス L D B は、上述の通り、D M A C 3 0 とローカルメモリ 4 0 との間、及び D M A C 3 0 とデータ R A M 2 8 との間に配置されて、上記機能ブロック内部のデータバスとして機能する。

【 0 0 6 6 】

データ R A M インタフェースライン D R I / F は、拡張部 3 2 内部の再構成可能な第 1 の実行ユニット 3 7 から、プロセッサコア 1 0 内部のデータ R A M 2 8 にアクセスするためのインタフェースであって、具体的には、データの読み出し及び書き込み機能を有する。

【 0 0 6 7 】

プロセッサバスインタフェースライン P B I / F は、プロセッサコア 1 0 がグローバルバス G B （図示省略）にアクセスためのインタフェースとして機能する。

【 0 0 6 8 】

再構成可能な第 1 の実行ユニット 3 7 は、具体的には再構成可能な論理回路から構成されている。再構成可能な論理回路とは、例えばフィールドプログラマブルゲートアレイ（FPGA）等の回路である。

【 0 0 6 9 】

D M A C 3 0 は、上記機能ブロック内のデータ処理用のデータ転送や、機能ブロック内と機能ブロック外との間のデータ転送及び再構成可能な第 1 の実行ユニット 3 7 のコンフィグレーション用データ転送に使用する。転送情報の設定等はプロセッサコア 1 0 から制御バス C B を介して行われる。

【 0 0 7 0 】

制御バス C B は、拡張部 3 2 や D M A C 3 0 内の制御レジスタ 3 8 への書き込みや、制御レジスタ 3 8 からの読み出しを行うためのバス配線である。再構成可能な第 1 の実行ユニット 3 7 のデータ処理モードとコンフィグレーションモードとの切り替えを指示する信号が制御バス C B を介して転送されている。

【 0 0 7 1 】

本発明の第 3 の実施の形態に係る拡張可能なプロセッサは、例えばFPGAからなる再構成可能な論理回路を拡張部 3 2 内の再構成可能な第 1 の実行ユニット 3 7 として用いるカスタムプロセッサに相当する。再構成可能な第 1 の実行ユニット 3 7 とは、具体的には再構成可能な演算器を構成するものである。再構成可能な論理回路を、拡張部 3 2 の演算器として用いることで、アプリケーションに応じて拡張部 3 2 の機能を変更できるようになる。このことにより、同一のカスタムプロセッサで異なるアプリケーション/機能に対応することができる。即ち、当初とは異なる機能に変更したりすることができる。また、ダイナミックに再構成することにより、アプリケーション内で、機能を時間ごとに切り替えて実行することもできる。この場合には、異なる複数の機能を同一の拡張部 3 2 で実行するので、従来複数の演算器が必要であったものが、1つの演算器で構成できることになる。

【 0 0 7 2 】

再構成可能な論理回路には一般的に構成変更用のコンフィグレーションインタフェースライン CON I / F がついており、この CON I / F から構成情報を与えることで論理が組み変わる。構成情報は DMAC 3 0 によるデータ転送で与えることができる。たとえばカスタムプロセッサ外部のメモリから拡張部 3 2 へ構成情報を転送することに再構成を行なうことができる。

【 0 0 7 3 】

拡張部 3 2 が内部に例えば、データ RAM 2 8 を有する場合には、DMAC 3 0 はこのデータ RAM 2 8 に対するデータ転送も行う。このとき、DMAC 3 0 と拡張部 3 2 とのインタフェースは通常データ転送用と再構成用との 2 系統に分ける実装構成としても良いし、1 系統にしておいて拡張部 3 2 内部で分岐する実装構成としてもよい。

【 0 0 7 4 】

一般に再構成可能な論理回路は速度面において遅いため、不利であるので、並列動作させることで高性能を得ようとする。この場合、データの供給能力に問題を生じることがあるが、本発明の第 3 の実施の形態に係る拡張可能なプロセッサ

の構成においては、至近のメモリを利用できるため効率よくデータを提供できる。拡張部 3 2 内部のメモリを使用する場合には最適な構成をとることができるためさらに効率がよくなり、高性能を得ることができる。

【 0 0 7 5 】

(第 3 の実施の形態の変形例 1)

本発明の第 4 の実施の形態に係る拡張可能なプロセッサにおいては、図 9 に示すように、拡張部 3 2 内の命令デコーダ 3 4 が再構成可能な第 1 の実行ユニット 3 7 の外部に配置されている構成例が示されているが、この構成に限られるものではない。命令デコーダ 3 4 そのものを再構成可能な第 1 の実行ユニット 3 7 と同一の論理回路で構成することもできる。この場合には、命令デコーダ 3 4 は再構成可能な第 1 の実行ユニット 3 7 内に構成されることになる。

【 0 0 7 6 】

(第 3 の実施の形態の変形例 2)

本発明の第 3 の実施の形態に係る拡張可能なプロセッサにおいては、上述のごとく再構成可能な第 1 の実行ユニット 3 7 のデータ処理モードとコンフィグレーションモードとの切り替えを指示する信号が制御バス C B を介して転送されている。しかしながら、モード切替は必ずしも制御バス C B を介して行う必要はない。図 9 内に示されるコンフィグレーション用のデータ転送用の C O N I / F を使用しても良い。

【 0 0 7 7 】

(第 4 の実施の形態)

再構成可能な論理回路には、コンフィグレーション用のデータを与える必要がある。本発明の第 4 の実施の形態に係る拡張可能なプロセッサにおいては、このコンフィグレーション用のデータを拡張部 3 2 内部のローカルメモリ 4 0 に蓄えておく点に特徴を有する。ローカルメモリ 4 0 に供給されるデータは、D M A C 3 0 からローカルデータバス L D B を介して伝達される。D M A C 3 0 は、外部メモリに蓄積されているデータをローカルメモリ 4 0 に転送する。外部メモリからのデータは、バスブリッジ（図示省略）及びグローバルバス G B（図示省略）を介して D M A C 3 0 に転送される。或いは又、プロセッサコア 1 0 の内部の

データRAM 28を外部メモリとして利用することもできる。この場合には、データRAM 28に接続されたローカルデータバスLDBを通してDMAC 30へデータが転送され、更にDMAC 30を介してローカルメモリ40にデータが書き込まれる。

【0078】

本発明の第4の実施の形態に係る拡張可能なプロセッサの基本構成は、図10に示すように、プロセッサコア10と、DMAC 30と、拡張部32とから構成される。プロセッサコア10と拡張部32の内部構成は実質的に図9と同様であるため説明を省略する。また、プロセッサコア10と拡張部32との間のバス配線等についても、実質的に図9と同様であるため、説明を省略する。

【0079】

再構成可能な第1の実行ユニット37においては、演算を行う。ローカルメモリ40は、再構成可能な第1の実行ユニット37における演算の入力或いは出力用として機能する。特に、本発明の第4の実施の形態に係る拡張可能なプロセッサにおいては、再構成可能な論理回路には、コンフィグレーション用のデータを与える必要があり、このコンフィグレーション用のデータを上述の通り、拡張部32内部のローカルメモリ40に蓄積している。

【0080】

ローカルデータバスLDBは、上述の通り、DMAC 30とローカルメモリ40との間、及びDMAC 30とデータRAM 28との間に配置されて、上記機能ブロック内部のデータバスとして機能する。

【0081】

データRAMインタフェースラインDRI/Fは、拡張部32内部の再構成可能な第1の実行ユニット37から、プロセッサコア10内部のデータRAM 28にアクセスするためのインタフェースであって、具体的には、データの読み出し及び書き込み機能を有する。

【0082】

プロセッサバスインタフェースラインPBI/Fは、プロセッサコア10がグローバルバスGB（図示省略）にアクセスするためのインタフェースとして機能する

【 0 0 8 3 】

再構成可能な第 1 の実行ユニット 3 7 は、具体的には再構成可能な論理回路から構成されている。再構成可能な論理回路とは、例えばフィールドプログラマブルゲートアレイ（FPGA）等の回路である。

【 0 0 8 4 】

DMAC 3 0 は、上記機能ブロック内のデータ処理用のデータ転送や、機能ブロック内と機能ブロック外との間のデータ転送及び再構成可能な第 1 の実行ユニット 3 7 のコンフィグレーション用データ転送に使用する。転送情報の設定等はプロセッサコア 1 0 から制御バス C B を介して行われる。

【 0 0 8 5 】

制御バス C B は、拡張部 3 2 や DMAC 3 0 内の制御レジスタ 3 8 への書き込みや、状態レジスタからの読み出しを行うためのバス配線である。再構成可能な第 1 の実行ユニット 3 7 のデータ処理モードとコンフィグレーションモードとの切り替えを指示する信号が制御バス C B を介して転送されている。

【 0 0 8 6 】

本発明の第 4 の実施の形態に係る拡張可能なプロセッサは、例えば FPGA からなる再構成可能な論理回路を拡張部 3 2 内の再構成可能な第 1 の実行ユニット 3 7 として用いるカスタムプロセッサに相当する。再構成可能な第 1 の実行ユニット 3 7 とは、具体的には再構成可能な演算器を構成するものである。再構成可能な論理回路を、拡張部 3 2 の演算器として用いることで、アプリケーションに応じて拡張部 3 2 の機能を変更できるようになる。このことにより、同一のカスタムプロセッサで異なるアプリケーション/機能に対応することができる。即ち、当初とは異なる機能に変更したりすることができる。また、ダイナミックに再構成することにより、アプリケーション内で、機能を時間ごとに切り替えて実行することもできる。この場合には、異なる複数の機能を同一の拡張部 3 2 で実行するので、従来複数の演算器が必要であったものが、1つの演算器で構成できることになる。

【 0 0 8 7 】

拡張部 3 2 が内部に、例えばデータ R A M のような、メモリを有する場合には、D M A C 3 0 はこのメモリに対するデータ転送も行う。このとき、D M A C 3 0 と拡張部 3 2 とのインタフェースは通常データ転送用と再構成用との 2 系統に分ける実装構成としても良いし、1 系統にしておいて拡張部内部で分岐する実装構成としてもよい。

【 0 0 8 8 】

一般に再構成可能な論理回路は速度面において遅いため、不利であるので、並列動作させることで高性能を得ようとする。この場合、データの供給能力に問題を生じることがあるが、本発明の第 4 の実施の形態に係る拡張可能なプロセッサの構成では、至近のメモリを利用できるため効率よくデータを提供できる。拡張部 3 2 内部のメモリを使用する場合には最適な構成をとることができるためさらに効率がよくなり、高性能を得ることができる。

【 0 0 8 9 】

(第 4 の実施の形態の変形例 1)

本発明の第 4 の実施の形態に係る拡張可能なプロセッサにおいては、図 1 0 に示すように、拡張部 3 2 内の命令デコーダ 3 4 が再構成可能な第 1 の実行ユニット 3 7 の外部に配置されている構成例が示されているが、この構成に限られるものではない。命令デコーダ 3 4 そのものを再構成可能な第 1 の実行ユニット 3 7 と同一の論理回路で構成することもできる。この場合には、命令デコーダ 3 4 は再構成可能な第 1 の実行ユニット 3 7 内に構成されることになる。

【 0 0 9 0 】

(第 4 の実施の形態の変形例 2)

本発明の第 4 の実施の形態に係る拡張可能なプロセッサにおいては、上述のごとく再構成可能な第 1 の実行ユニット 3 7 のデータ処理モードとコンフィグレーションモードとの切り替えを指示する信号が制御バス C B を介して転送されている。しかしながら、モード切替は必ずしも制御バス C B を介して行う必要はない。

【 0 0 9 1 】

図 1 0 において、たとえば、コンフィグレーション用データを D M A C 3 0 で

拡張部 3 2 のローカルメモリ 4 0 に転送し、そのとき同時に再構成可能な第 1 の実行ユニット 3 7 がプロセッサコア 1 0 のデータ RAM 2 8 にアクセスしてデータ処理を実行することで、コンフィグレーション用データ転送のオーバーヘッドを隠蔽することが可能となる。

【 0 0 9 2 】

本発明はここでは記載していない様々な実施例等を含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な以下のクレームによってのみ定められるものである。

【 0 0 9 3 】

(その他の実施の形態)

上記のように、本発明は実施の形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。したがって、本発明の技術範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

【 0 0 9 4 】

【発明の効果】

本発明の拡張可能なプロセッサ及び半導体集積回路によれば、拡張部に対する命令コードにより、プロセッサコアのクロック若しくはパイプラインを停止させることでプロセッサコアと拡張部との同期をとることができ、高効率で高性能な拡張可能なプロセッサ及びシステムオンチップの半導体集積回路を提供することができる。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施の形態に係る拡張可能なプロセッサの基本構成図。

【図 2】 本発明の第 1 の実施の形態に係る拡張可能なプロセッサの模式的ブロック構成図。

【図 3】 本発明の第 1 の実施の形態に係る拡張可能なプロセッサにおいて使用するクロックディセーブル信号生成回路の模式的構成例。

【図 4】本発明の第 1 の実施の形態に係る拡張可能なプロセッサにおいて、拡張部 3 2 の命令もプロセッサコア 1 0 と同じクロック数で動作する場合において、クロック C L K に対して、プロセッサコア 1 0 と拡張部 3 2 の命令構成例を示す図。

【図 5】本発明の第 1 の実施の形態に係る拡張可能なプロセッサにおいて、プロセッサコア 1 0 のクロック C L K C を止める場合の、プロセッサコア 1 0 と拡張部 3 2 の命令構成例を示す図。

【図 6】本発明の第 2 の実施の形態に係る拡張可能なプロセッサの模式的ブロック構成図。

【図 7】本発明の第 2 の実施の形態に係る拡張可能なプロセッサにおいて、プロセッサコア 1 0 のパイプラインを止める場合の、プロセッサコア 1 0 と拡張部 3 2 の命令構成例を示す図。

【図 8】停止サイクル数 S C Y N 用フィールドを持った命令コードの構成図。

【図 9】本発明の第 3 の実施の形態に係る拡張可能なプロセッサの模式的ブロック構成図。

【図 1 0】本発明の第 4 の実施の形態に係る拡張可能なプロセッサの模式的ブロック構成図。

【図 1 1】本発明の比較例としての拡張可能なプロセッサの模式的ブロック構成図。

【符号の説明】

1 0 … プロセッサコア

1 2 … 命令キャッシュ

1 4 … 命令 R A M

1 6 … 汎用レジスタ

1 8, 3 4 … 命令デコーダ

2 0 … 第 2 の実行ユニット

2 2 … 算術論理演算装置 (A L U)

2 4 … シフトレジスタ

2 6 … データキャッシュ
 2 8 … データ R A M
 3 0 … ダイレクトメモリアクセスコントローラ (D M A C)
 3 2 … 拡張部
 3 6 … 第 1 の実行ユニット
 3 7 … 再構成可能な第 1 の実行ユニット
 3 8 … 制御レジスタ
 4 0 … ローカルメモリ
 4 2 … クロックディセーブル信号生成回路
 4 4 … クロックゲーティング回路
 4 6 … ラッチ
 5 2 1 , 5 2 2 … フリップフロップ回路
 4 8 , 5 1 … A N D ゲート
 5 0 , 5 0 1 , 5 0 2 … O R ゲート
 5 3 … マルチプレクサ (M U X)
 5 4 … バスブリッジ
 5 5 , 5 7 … A N D ゲート
 5 6 … 停止要求信号生成回路
 C B … 制御バス
 E A L I / F … 拡張演算インタフェースライン
 S D 1 L , S D 2 L … ソースデータライン
 C S … 制御信号
 A L R … 演算結果
 D R I / F … データ R A M インタフェースライン
 L D B … ローカルデータバス
 P B I / F … プロセッサバスインタフェースライン
 E I C … 拡張命令コード
 E I V S … 拡張命令有効信号
 C L K , C L K C , C L K E … クロック

CON I / F ……コンフィグレーションインタフェースライン

S R S ……停止要求信号

I N S 1 C ……命令 1 コア

I N S 2 E ……命令 2 拡張

I N S 3 C ……命令 3 コア

G P R N ……汎用レジスタ番号

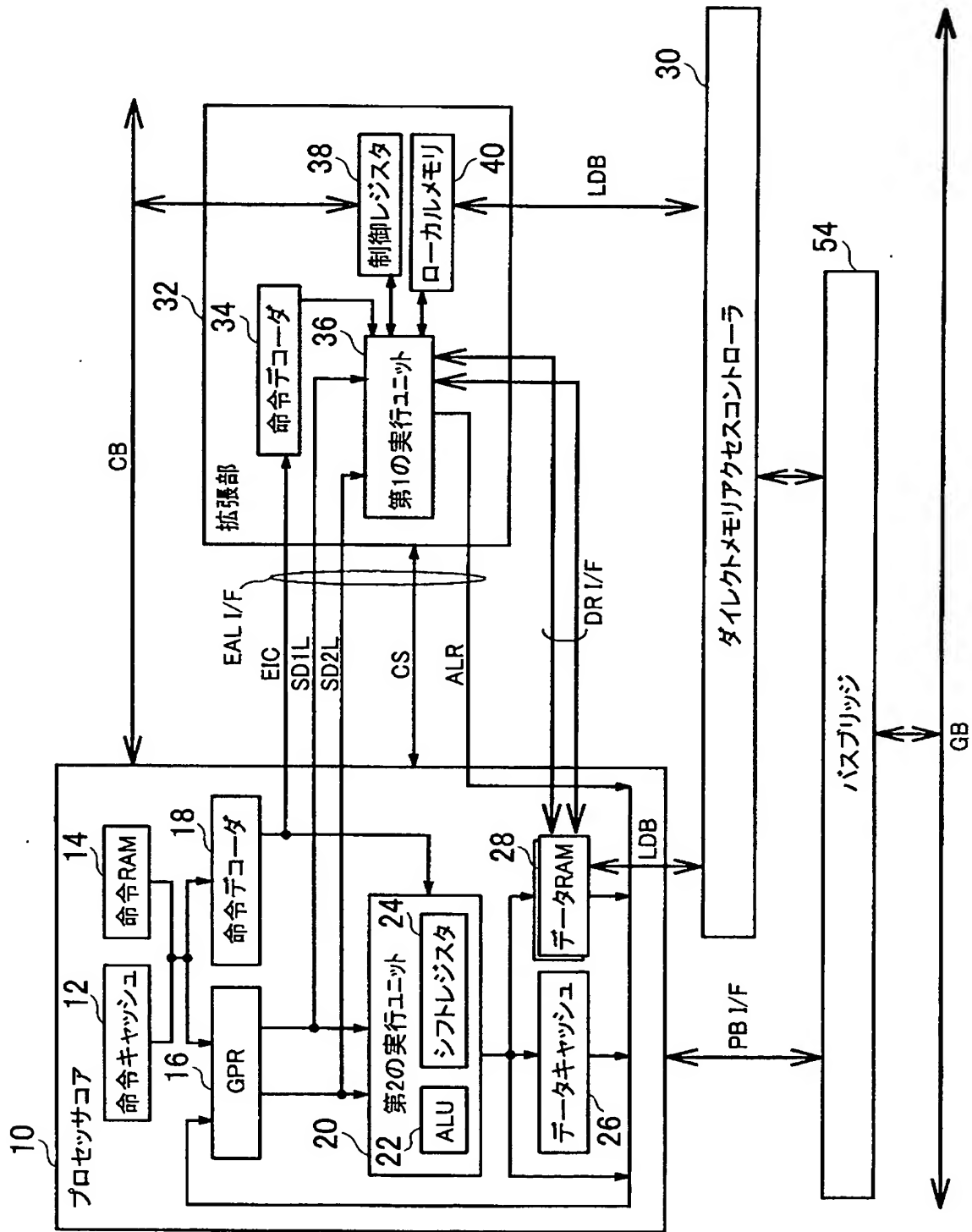
G B ……グローバルバス

S C Y N ……停止サイクル数

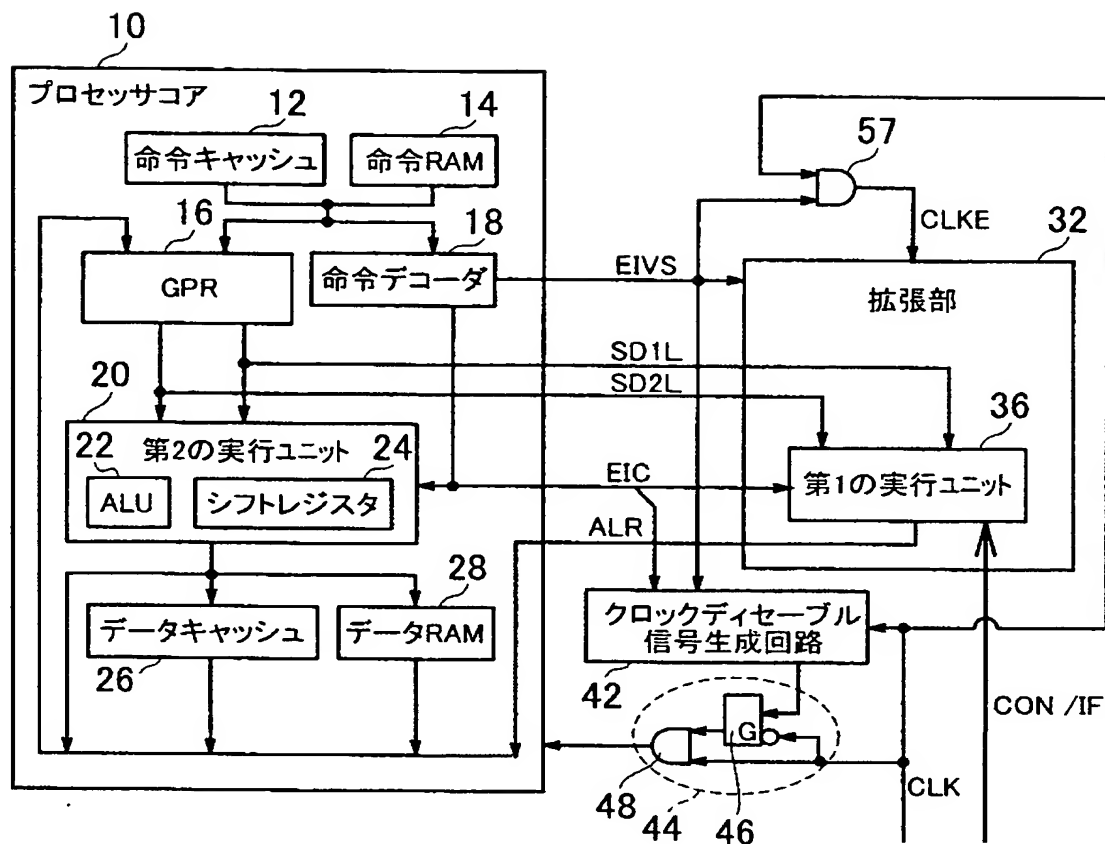
C D S ……クロックディセーブル信号

【書類名】 図面

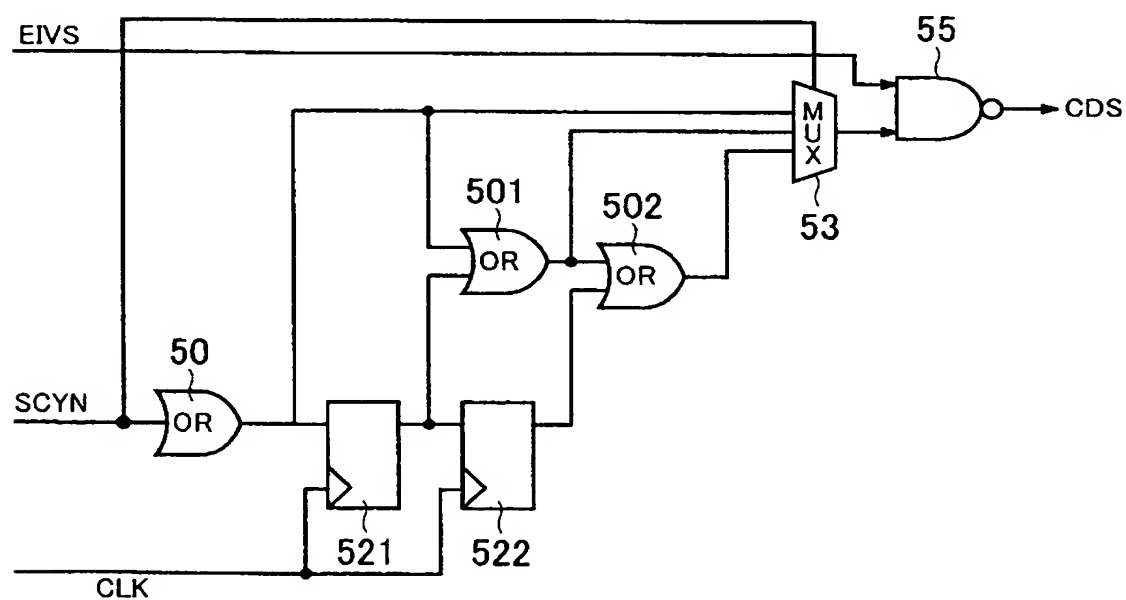
【図 1】



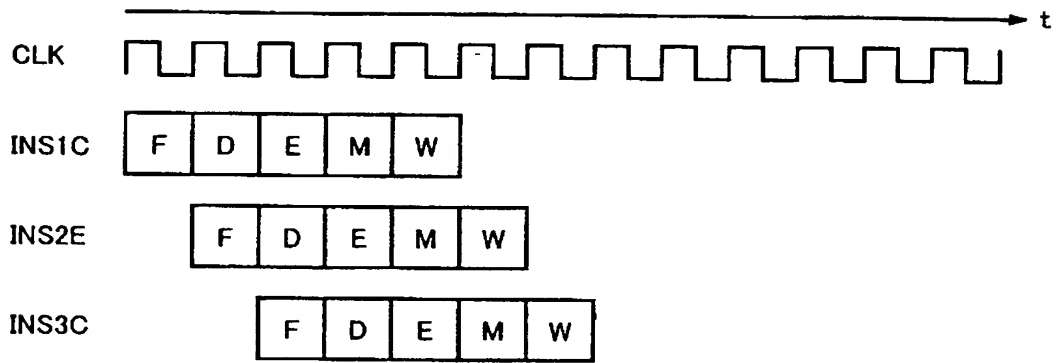
【図 2】



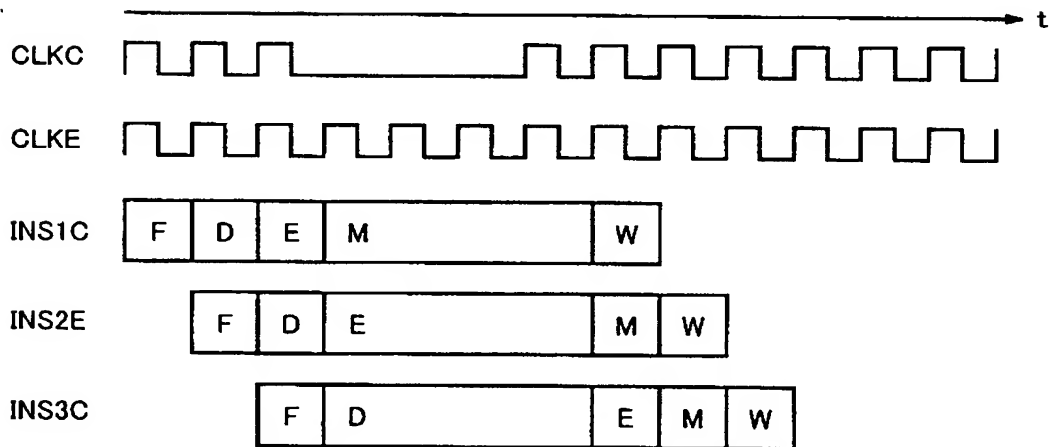
【図 3】



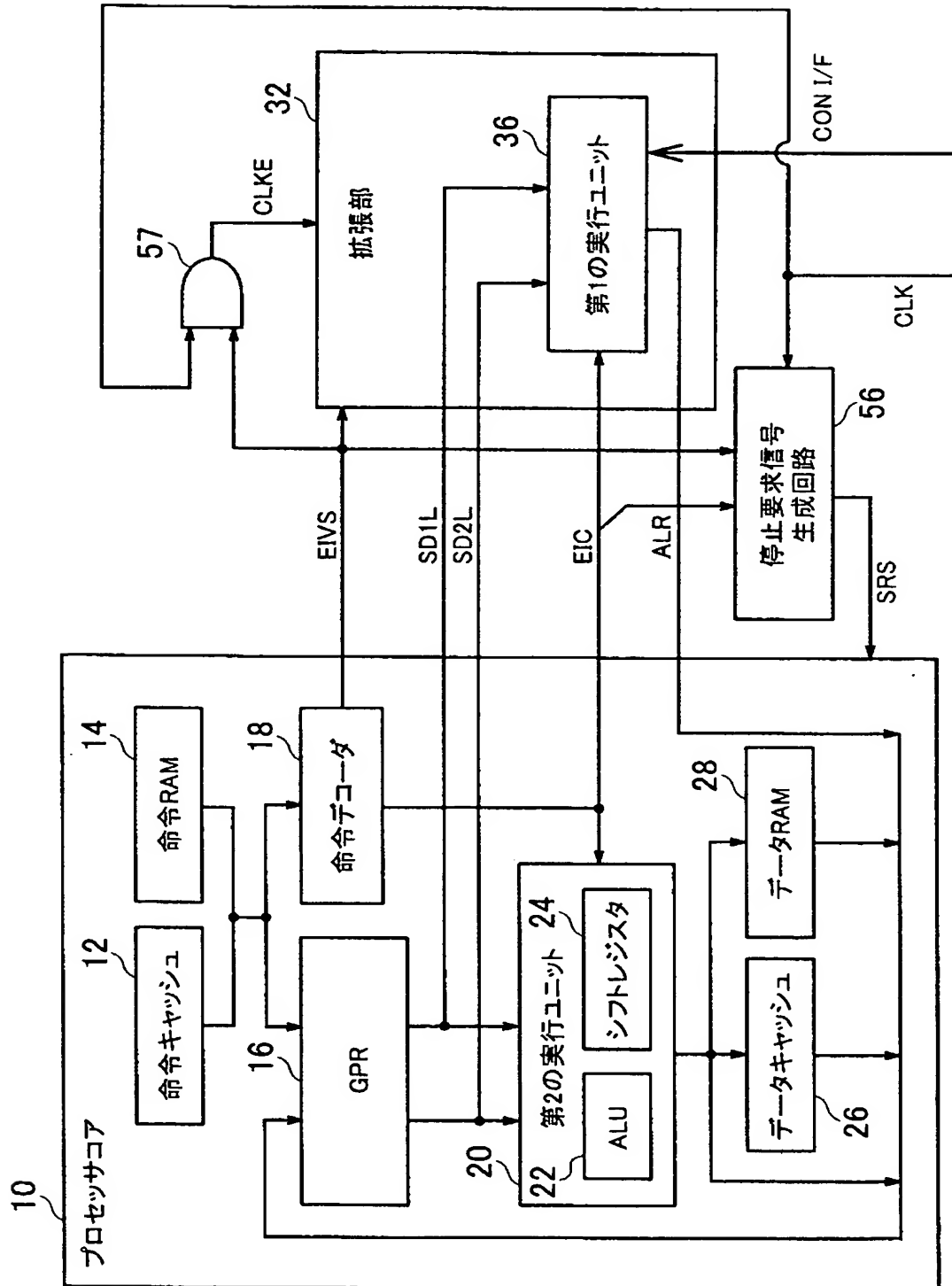
【図 4】



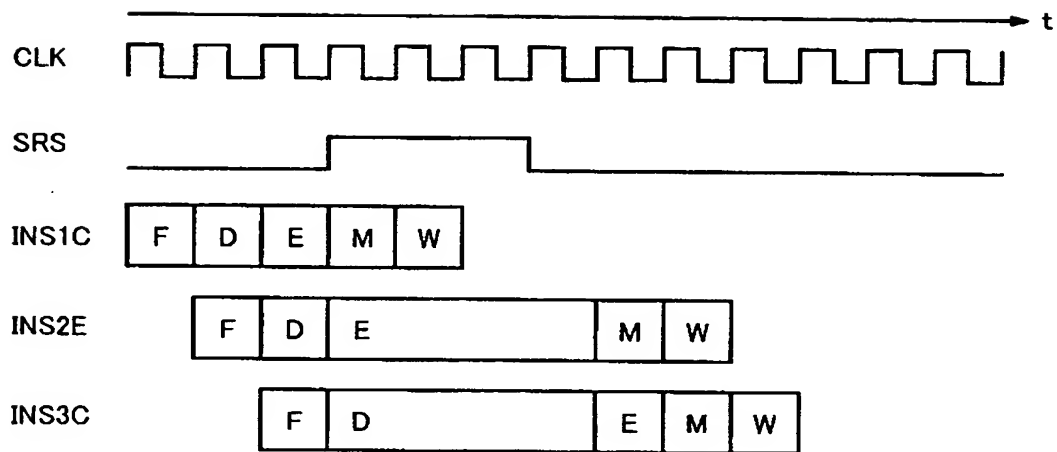
【図 5】



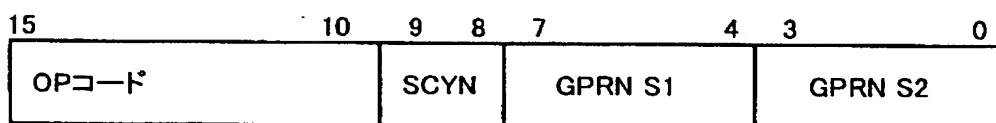
【図6】



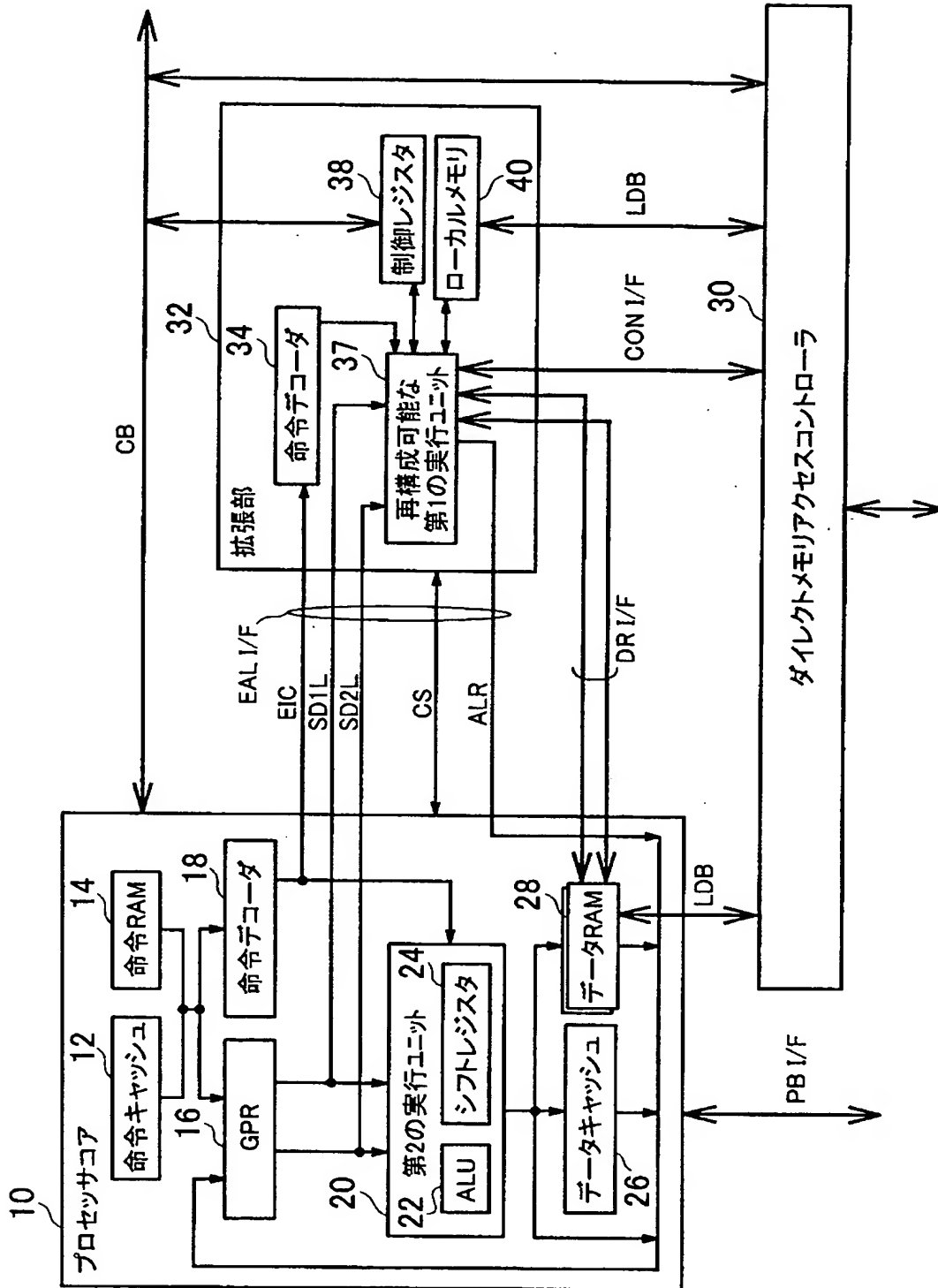
【図 7】



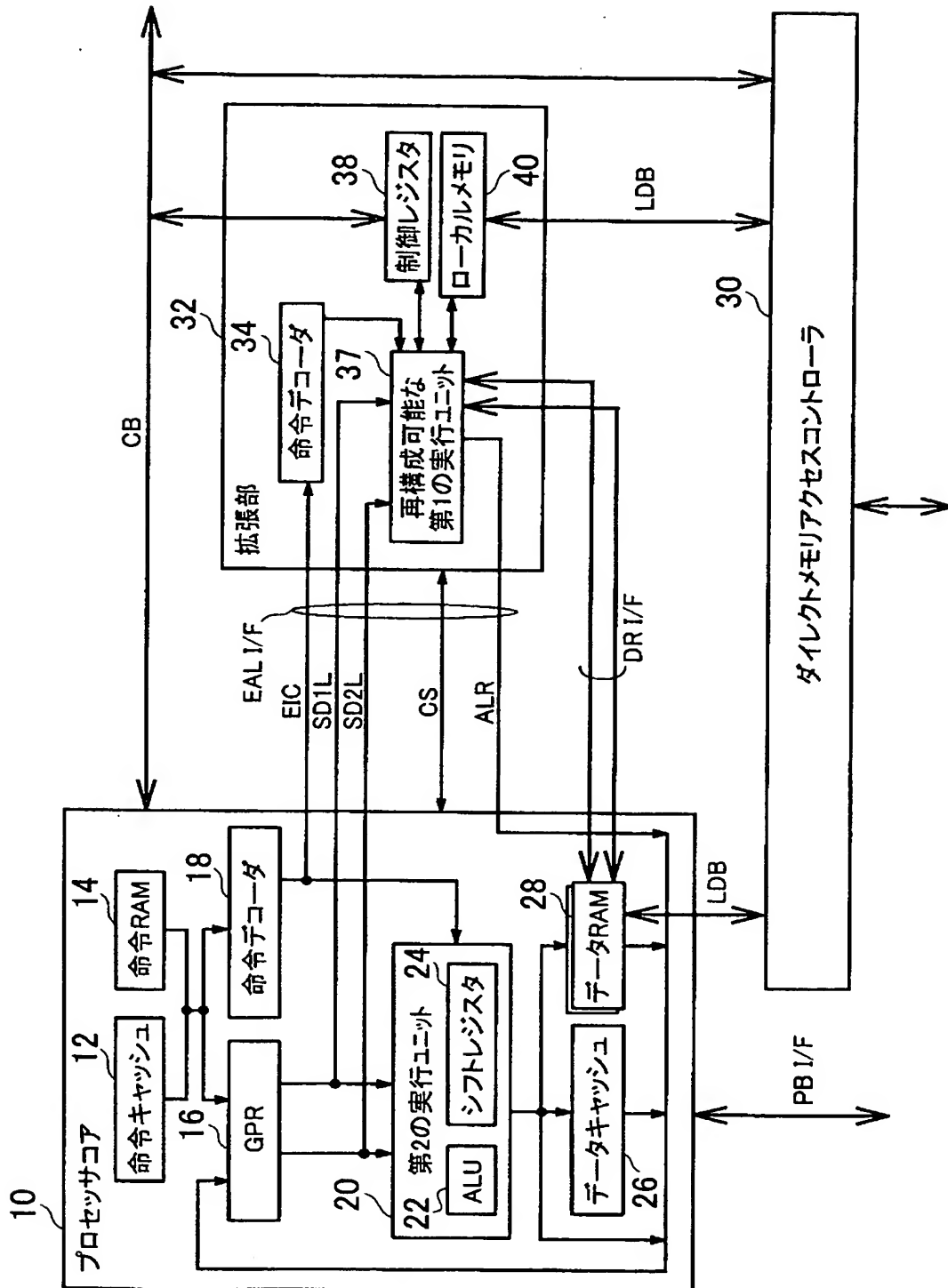
【図 8】



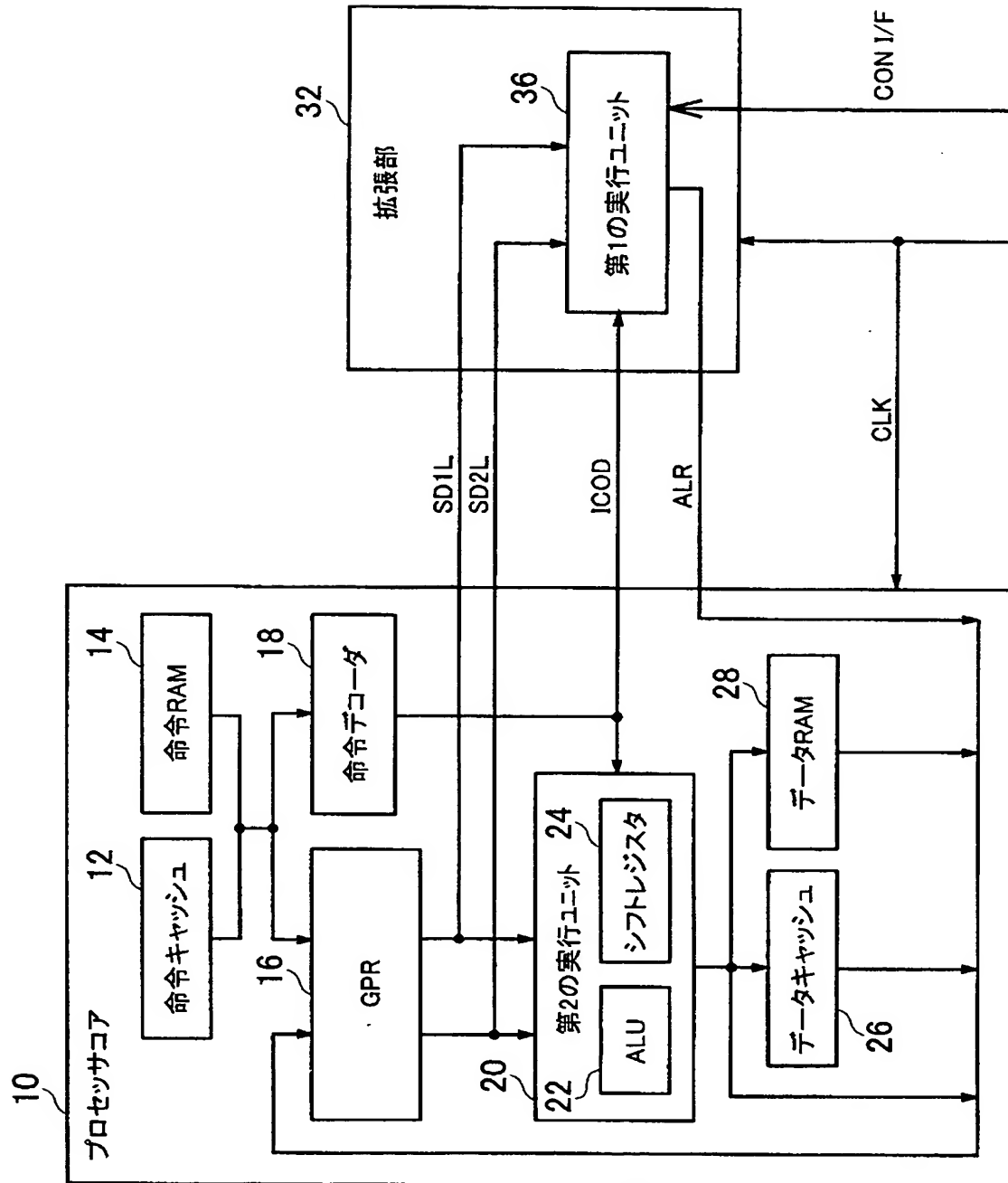
【図9】



【図10】



【図 11】



【書類名】 要約書

【要約】

【課題】 拡張部に対する命令コードにより、プロセッサコアと拡張部との同期をとる拡張可能なプロセッサ及び半導体集積回路を提供する。

【解決手段】 汎用レジスタ 1 6 と命令デコーダ 1 8 を備えるプロセッサコア 1 0 と、プロセッサコア 1 0 に接続され、第 1 の実行ユニット 3 6 を備える拡張部 3 2 と、プロセッサコア 1 0 と拡張部 3 2 の双方に接続されるダイレクトメモリアクセスコントローラ 3 0 と、プロセッサコア 1 0 及びダイレクトメモリアクセスコントローラ 3 0 に対してバス接続されるバスブリッジ 5 4 と、プロセッサコア 1 0 と拡張部 3 2 との間に接続される制御バスと、バスブリッジ 5 4 に接続されるグローバルバスとを備え、プロセッサコアのクロックを停止させるかパイプラインを停止させる機能を有するプロセッサ及び半導体集積回路。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	2003年 5月 9日
[変更理由]	名称変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝